8通道、12/14/16位SPI电压输出 denseDAC，内置5 ppm/°C片内基准电压源

AD5628/AD5648/AD5668

特性

低功耗、小尺寸、引脚兼容的8通道DAC
- **AD5668：16位**
- **AD5648：14位**
- **AD5628：12位**

14引脚/16引脚TSSOP和16引脚LFCSP封装
1.25 V/2.5 V、5 ppm/°C片内基准电压源
关断模式下的功耗：400 nA (5 V)，200 nA (3 V)
电源电压范围：2.7 V至5.5 V
通过设计保证单调性
上电复位至零电平或中间电平
3种关断功能
硬件$\overline{\text{LDAC}}$和$\overline{\text{LDAC}}$覆盖功能
$\overline{\text{CLR}}$功能，清零至可编程编码
轨到轨工作

应用

过程控制
数据采集系统
便携式电池供电仪表
数字增益和失调电压调整
可编程电压源和电流源
可编程衰减器

概述

AD5628/AD5648/AD5668分别是低功耗、8通道、12/14/16位缓冲电压输出DAC，采用2.7 V至5.5 V单电源供电，通过设计保证单调性。AD5668和AD5628提供4 mm × 4 mm LFCSP和16引脚TSSOP两种封装，AD5648提供14引脚和16引脚TSSOP两种封装。

AD5628/AD5648/AD5668内置一个片内基准电压源，内部增益为2。AD5628-1/AD5648-1/AD5668-1内置一个1.25 V、5 ppm/°C基准电压源，满量程输出范围可达到2.5 V；AD5628-2/AD5648-2/AD5668-2和AD5668-3内置一个2.5 V、5 ppm/°C基准电压源，满量程输出范围可达到5 V。上电时，片内基准电压源关闭，因而可以使用外部基准电压源。内部基准电压源通过软件写操作来使能。

上述器件内置一个上电复位电路，确保DAC上电后输出0 V(AD5628-1/AD5648-1/AD5668-1、AD5628-2/AD5648-2/AD5668-2)或中间电平(AD5668-3)并保持该电平，直到执行一次有效的写操作为止。此外还具有各通道独立关断特性，在关断模式下，器件在5 V时的功耗降至400 nA，并提供软件可选的输出负载。利用$\overline{\text{LDAC}}$功能可以同时更新所有DAC的输出，用户也可以选择要同时更新的DAC通道。另外还有一个异步$\overline{\text{CLR}}$功能，可以将所有DAC更新至一个用户可编程的编码：零电平、中间电平或满量程。

AD5628/AD5648/AD5668采用多功能三线式串行接口，能够以最高50 MHz的时钟速率工作，并与标准SPI®、QSPI™、MICROWIRE™、DSP接口标准兼容。它内置片内精密输出放大器，能够实现轨到轨输出摆幅。

功能框图

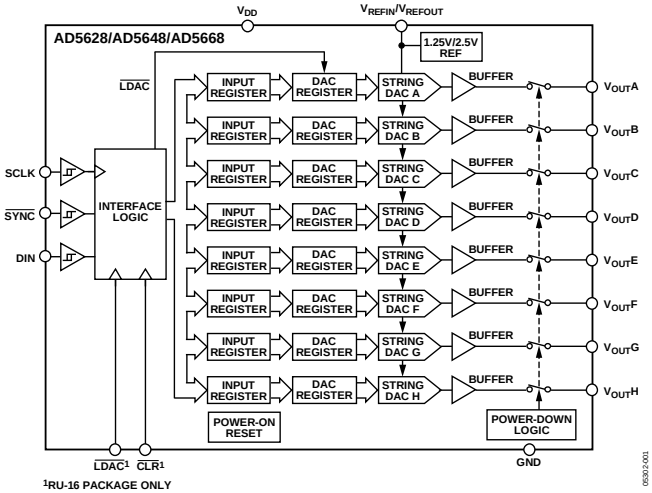


图1.

产品聚焦

1. 8通道、12/14/16位DAC。
2. 1.25 V/2.5 V、5 ppm/°C片内基准电压源。
3. 提供14引脚/16引脚TSSOP和16引脚LFCSP封装。
4. 上电复位至0 V或中间电平。
5. 关断功能。关断模式下，3 V时DAC的典型功耗为200 nA，5 V时为400 nA。

Rev. E
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **www.analog.com**
Fax: 781.461.3113 **©2005–2011 Analog Devices, Inc. All rights reserved.**

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性 1
应用 1
功能框图 1
概述 1
产品聚焦 1
修订历史 2
技术规格 3
交流特性 6
时序特性 7
绝对最大额定值 8
ESD警告 8
引脚配置和功能描述 9
典型工作特性 10
术语 18
工作原理 20
数模转换部分 20
电阻串 20
内部基准电压源 20
输出放大器 21
串行接口 21
输入移位寄存器 22
$\overline{\text{SYNC}}$ 中断 22
内部基准电压源寄存器 23
上电复位 23
关断模式 23
清零编码寄存器 23
$\overline{\text{LDAC}}$ 功能 25
电源旁路和接地 25
外形尺寸 26
订购指南 28

修订历史

2011年1月—修订版D至修订版E

更改表1的AD5628相对精度、零编码误差、失调误差和基准电压TC参数 3
更改表2的AD5628相对精度、零编码误差、失调误差和基准电压TC参数 5
更改表3的输出电压建立时间 6
增加图53；重新排序 17
更改“输出放大器”部分 21
更改“订购指南”部分 28

2010年9月—修订版C至修订版D

修改标题 1
增加16引脚LFCSP封装 ..... 通篇
更改表1 3
更改表2 5
更改表3 6
更改表4 7
删除表5中的SnPb 8
增加图5；重新排序 9
更改表6 9
更换“典型工作特性”部分 10
更改“上电复位”部分 23
更新“外形尺寸”部分 26
更改“订购指南”部分 28

2010年1月—修订版B至修订版C

更改图3 10
更改“订购指南”部分 28

2009年2月—修订版A至修订版B

更改表1的基准电流参数 3
更改表1的I_{DD}(正常模式)参数 4
更改表2的基准电流参数 5
更改表2的I_{DD}(正常模式)参数 6

2005年11月—修订版0至修订版A

更改“技术规格”部分 3

2005年10月—修订版0：初始版

技术规格

V_{DD} = 4.5 V至5.5 V，R_L = 2 kΩ接GND，C_L = 200 pF接GND，V_{REFIN} = V_{DD}。除非另有说明，所有规格均相对于T_{MIN}至T_{MAX}而言。

表1

参数	A级[1] 最小值	A级[1] 典型值	A级[1] 最大值	B级[1] 最小值	B级[1] 典型值	B级[1] 最大值	单位	条件/注释
静态性能[2]								
AD5628								
分辨率	12			12			位	
相对精度		±0.5	±4		±0.5	±1	LSB	参见图8
微分非线性			±0.25			±0.25	LSB	通过设计保证单调性（参见图11）
AD5648								
分辨率	14			14			位	
相对精度		±2	±8		±2	±4	LSB	参见图7
微分非线性			±0.5			±0.5	LSB	通过设计保证单调性（参见图10）
AD5668								
分辨率	16			16			位	
相对精度		±8	±32		±8	±16	LSB	参见图6
微分非线性			±1			±1	LSB	通过设计保证单调性（参见图9）
零编码误差		6	19		6	19	mV	全0载入DAC寄存器(参见图25)
零编码误差漂移		±2			±2		μV/°C	
满量程误差		−0.2	−1		−0.2	−1	% FSR	全1载入DAC寄存器（参见图26）
增益误差			±1			±1	% FSR	
增益温度系数		±2.5			±2.5		ppm	FSR/°C
失调误差		±6	±19		±6	±19	mV	
直流电源抑制比		−80			−80		dB	V_{DD} ± 10%
直流串扰		10			10		μV	满量程输出变化引起；
（外部基准电压源）								R_L = 2 kΩ接GND或V_{DD}
		5			5		μV/mA	负载电流变化引起
		10			10		μV	（各通道）关断引起
直流串扰		25			25		μV	满量程输出变化引起；
（内部基准电压源）								R_L = 2 kΩ接GND或V_{DD}
		10			10		μV/mA	负载电流变化引起
输出特性[3]								
输出电压范围	0		V_{DD}	0		V_{DD}	V	
容性负载稳定性		2			2		nF	R_L = ∞
		10			10		nF	R_L = 2 kΩ
直流输出阻抗		0.5			0.5		Ω	
短路电流		30			30		mA	V_{DD} = 5 V
上电时间		4			4		μs	退出关断模式，V_{DD} = 5 V
基准输入								
基准电流		40	55		40	55	μA	V_{REF} = V_{DD} = 5.5 V（各DAC通道）
基准电压输入范围	0		V_{DD}	0		V_{DD}	V	
基准输入阻抗		14.6			14.6		kΩ	
基准输出								
输出电压								
AD56x8-2, AD56x8-3	2.495		2.505	2.495		2.505	V	环境温度
基准电压TC[3]		5	10		5	10	ppm/°C	TSSOP
		15			5	10	ppm/°C	LFCSP
基准输出阻抗		7.5			7.5		kΩ	

参数	A级[1] 最小值	典型值	最大值	B级[1] 最小值	典型值	最大值	单位	条件/注释
逻辑输入[3]								
输入电流			±3			±3	μA	所有数字输入
低输入电压V_{INL}			0.8			0.8	V	V_{DD} = 5 V
高输入电压V_{INH}	2			2			V	V_{DD} = 5 V
引脚电容		3			3		pF	
电源要求								
V_{DD}	4.5		5.5	4.5		5.5	V	所有数字输入为0或V_{DD}，DAC启用，不包括负载电流
I_{DD} (正常模式)[4]								V_{IH} = V_{DD}和V_{IL} = GND
V_{DD} = 4.5 V 至 5.5 V		1.0	1.5		1.0	1.5	mA	内部基准电压源关闭
V_{DD} = 4.5 V 至 5.5 V		1.8	2.25		1.7	2.25	mA	内部基准电压源开启
I_{DD} (全关断模式)[5]								
V_{DD} = 4.5 V to 5.5 V		0.4	1		0.4	1	μA	V_{IH} = V_{DD}和V_{IL} = GND

[1] 温度范围：−40°C至+105°C，典型值25°C。
[2] 线性度计算使用缩减的数据范围：AD5628(编码32到编码4064)；AD5648(编码128到编码16,256)；AD5668(编码512到编码65,024)。输出端无负载。
[3] 通过设计和特性保证，未经生产测试。
[4] 接口未启用。所有DAC启用。DAC输出端无负载。
[5] 所有8个DAC均关断。

V_{DD} = 2.7 V至3.6 V，R_L = 2 kΩ接GND，C_L = 200 pF接GND，V_{REFIN} = V_{DD}。除非另有说明，所有规格均相对于T_{MIN}至T_{MAX}而言。

表2

参数	A级[1] 最小值	A级[1] 典型值	A级[1] 最大值	B级[1] 最小值	B级[1] 典型值	B级[1] 最大值	单位	条件/注释
静态性能[2]								
AD5628								
分辨率	12			12			位	
相对精度		±0.5	±4		±0.5	±1	LSB	参见图8
微分非线性			±0.25			±0.25	LSB	通过设计保证单调性 (参见图11)
AD5648								
分辨率	14			14			位	参见图7
相对精度		±2	±8		±2	±4	LSB	通过设计保证单调性
微分非线性			±0.5			±0.5	LSB	(参见图10)
AD5668								
分辨率	16			16			位	
相对精度		±8	±32		±8	±16	LSB	参见图6
微分非线性			±1			±1	LSB	通过设计保证单调性(参见图9)
零编码误差		6	19		6	19	mV	全0载入DAC寄存器(参见图25)
零编码误差漂移		±2			±2		μV/°C	
满量程误差		−0.2	−1		−0.2	−1	% FSR	全1载入DAC寄存器(参见图26)
增益误差			±1			±1	% FSR	
增益温度系数		±2.5			±2.5		ppm	Of FSR/°C
失调误差		±6	±19		±6	±19	mV	
直流电源抑制比[3]		–80			–80		dB	V_{DD} ± 10%
直流串扰[3] (外部基准电压源)		10			10		μV	满量程输出变化引起；R_L = 2 kΩ接GND或V_{DD}
		5			5		μV/mA	负载电流变化引起
		10			10		μV	(各通道)关断引起
直流串扰[3] (内部基准电压源)		25			25		μV	满量程输出变化引起；R_L = 2 kΩ接GND或V_{DD}
		10			10		μV/mA	负载电流变化引起
输出特性[3]								
输出电压范围	0		V_{DD}	0		V_{DD}	V	
容性负载稳定性		2			2		nF	R_L = ∞
		10			10		nF	R_L = 2 kΩ
直流输出阻抗		0.5			0.5		Ω	
短路电流		30			30		mA	V_{DD} = 3 V
上电时间		4			4		μs	退出关断模式，V_{DD} = 3 V
基准输入								
基准电流		40	55		40	55	μA	V_{REF} = V_{DD} = 5.5 V(各DAC通道)
基准电压输入范围	0		V_{DD}	0		V_{DD}		
基准输入阻抗		14.6			14.6		kΩ	
基准输出								
输出电压								
AD5628/AD5648/AD5668-1	1.247		1.253	1.247		1.253	V	环境温度
基准电压TC[3]		5	15		5	15	ppm/°C	TSSOP
		15			5	15	ppm/°C	LFCSP
基准输出阻抗		7.5			7.5		kΩ	

参数	A级[1] 最小值	典型值	最大值	B级[1] 最小值	典型值	最大值	单位	条件/注释
逻辑输入[3]								
输入电流			±3			±3	μA	所有数字输入
低输入电压V_{INL}			0.8			0.8	V	V_{DD} = 3 V
高输入电压V_{INH}	2			2			V	V_{DD} = 3 V
引脚电容		3			3		pF	
电源要求								
V_{DD}	2.7		3.6	2.7		3.6	V	所有数字输入为0或V_{DD}，DAC启用，不包括负载电流
I_{DD}(正常模式)[4]								V_{IH} = V_{DD}和V_{IL} = GND
V_{DD} = 2.7 V至3.6 V		1.0	1.5		1.0	1.5	mA	内部基准电压源关闭
V_{DD} = 2.7 V至3.6 V		1.8	2.25		1.7	2.25	mA	内部基准电压源开启
I_{DD}(全关断模式)[5]								
V_{DD} = 2.7 V至3.6 V		0.2	1		0.2	1	μA	V_{IH} = V_{DD}和V_{IL} = GND

[1] 温度范围：−40°C至+105°C，典型值25°C。
[2] 线性度计算使用缩减的数据范围：AD5628(编码32到编码4064)；AD5648(编码128到编码16256)；AD5668(编码512到编码65024)。输出端无负载。
[3] 通过设计和特性保证，未经生产测试。
[4] 接口未启用。所有DAC启用。DAC输出端无负载。
[5] 所有8个DAC均关断。

交流特性

V_{DD} = 2.7 V至5.5 V，R_L = 2 kΩ接GND，C_L = 200 pF接GND，V_{REFIN} = V_{DD}。除非另有说明，所有规格均相对于T_{MIN}至T_{MAX}而言。

表3

参数[1, 2]	最小值	典型值	最大值	单位	条件/注释[3]
输出电压建立时间		2.5	7	μs	¼到¾量程建立到±2 LSB(16位分辨率)
压摆率		1.2		V/μs	
数模转换毛刺脉冲		4		nV-s	主进位改变1 LSB(16位分辨率)(参见图41)
		19		nV-s	从编码0xEA00到编码0xE9FF(16位分辨率)
数字馈通		0.1		nV-s	
数字串扰		0.2		nV-s	
模拟串扰		0.4		nV-s	
DAC间串扰		0.8		nV-s	
乘法带宽		320		kHz	V_{REF} = 2 V ± 0.2 V p-p
总谐波失真		−80		dB	V_{REF} = 2 V ± 0.1 V p-p，频率 = 10 kHz
输出噪声频谱密度		120		nV/√Hz	DAC编码 = 0x8400(16位分辨率)，1 kHz
		100		nV/√Hz	DAC编码 = 0x8400(16位分辨率)，10 kHz
输出噪声		12		μV p-p	0.1 Hz至10 Hz，DAC编码 = 0x0000

[1] 通过设计和特性保证，未经生产测试。
[2] 参见"术语"部分。
[3] 温度范围：−40°C至+105°C，典型值25°C。

时序特性

所有输入信号均在tr = tf = 1 ns/V(10%到90%的V_{DD})情况下标定并从(V_{IL} + V_{IH})/2电平起开始计时。参见图2。V_{DD} = 2.7 V至5.5 V。除非另有说明，所有规格均相对于T_{MIN}至T_{MAX}而言。

表4

参数	T_{MIN}、T_{MAX}的限值 V_{DD} = 2.7 V至5.5 V	单位	条件/注释
t_1 [1]	20	ns(最小值)	SCLK周期时间
t_2	8	ns(最小值)	SCLK高电平时间
t_3	8	ns(最小值)	SCLK低电平时间
t_4	13	ns(最小值)	$\overline{SYNC}$ 到SCLK下降沿建立时间
t_5	4	ns(最小值)	数据建立时间
t_6	4	ns(最小值)	数据保持时间
t_7	0	ns(最小值)	SCLK下降沿到$\overline{SYNC}$上升沿
t_8	15	ns(最小值)	最小$\overline{SYNC}$高电平时间
t_9	13	ns(最小值)	$\overline{SYNC}$ 上升沿到SCLK下降沿忽略
t_{10}	0	ns(最小值)	SCLK下降沿到$\overline{SYNC}$下降沿忽略
t_{11}	10	ns(最小值)	$\overline{LDAC}$ 低电平脉冲宽度
t_{12}	15	ns(最小值)	SCLK下降沿到$\overline{LDAC}$上升沿
t_{13}	5	ns(最小值)	$\overline{CLR}$ 低电平脉冲宽度
t_{14}	0	ns(最小值)	SCLK下降沿到$\overline{LDAC}$下降沿
t_{15}	300	ns(典型值)	$\overline{CLR}$ 脉冲启动时间

[1] V_{DD} = 2.7 V至5.5 V时，最大SCLK频率为50 MHz。通过设计和特性保证，未经生产测试。

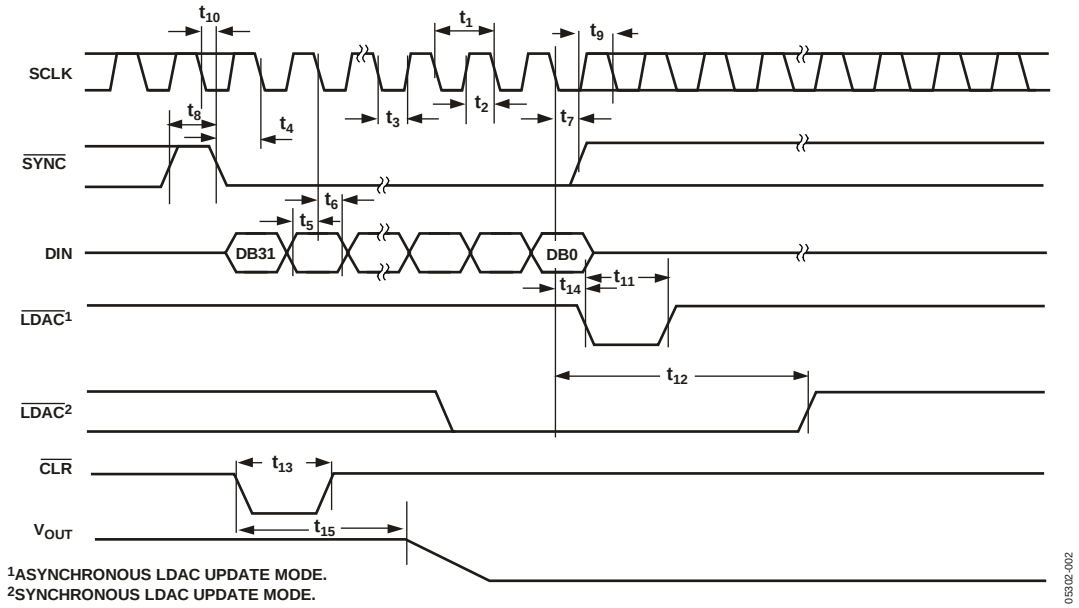


图2. 串行写入操作

绝对最大额定值

除非另有说明，T_A = 25°C。

表5

参数	额定值
V_{DD}至GND	−0.3 V至+7 V
数字输入电压至GND	−0.3 V至V_{DD} + 0.3 V
V_{OUT}至GND	−0.3 V至V_{DD} + 0.3 V
V_{REFIN}/V_{REFOUT}至GND	−0.3 V至V_{DD} + 0.3 V
工作温度范围	
工业	−40°C至+105°C
存储温度范围	−65°C至+150°C
结温(T_J最大值)	150°C
TSSOP封装	
功耗	$(T_{J\,MAX} - T_A)/\theta_{JA}$
θ_{JA}热阻	150.4°C/W
回流焊峰值温度	
无铅	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告

ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

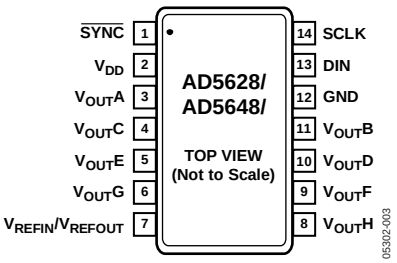


图3. 14引脚TSSOP(RU-14)

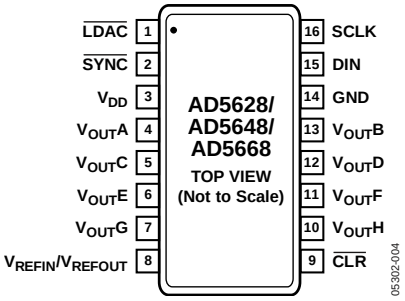


图4. 16引脚TSSOP(RU-16)

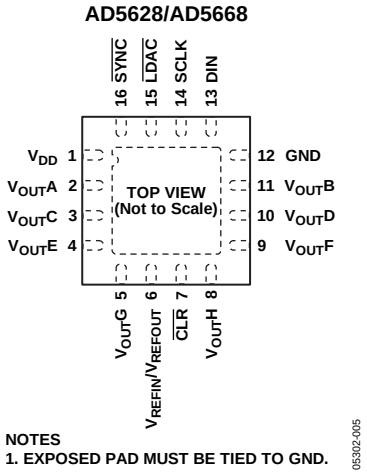


图5. 16引脚LFCSP (CP-16-17)

表6. 引脚功能描述

引脚编号				
14引脚 TSSOP	**16引脚 TSSOP**	**16引脚 LFCSP**	**引脚名称**	**描述**
N/A	1	15	$\overline{\text{LDAC}}$	发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器。因此，所有DAC输出可以同时更新。也可以将该引脚永久接为低电平。
1	2	16	$\overline{\text{SYNC}}$	低电平有效控制输入。这是输入数据的帧同步信号。当$\overline{\text{SYNC}}$变为低电平时，SCLK和DIN缓冲器上电，输入移位寄存器使能。数据在后续32个时钟的下降沿读入。如果$\overline{\text{SYNC}}$在第32个下降沿之前变为高电平，$\overline{\text{SYNC}}$的上升沿将用作中断，器件将忽略写入序列。
2	3	1	V_{DD}	电源输入引脚。这些器件可以采用2.7 V至5.5 V电源供电，电源应通过并联的10 μF电容和0.1 μF电容去耦至GND。
3	4	2	$V_{OUT}A$	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
11	13	11	$V_{OUT}B$	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
4	5	3	$V_{OUT}C$	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
10	12	10	$V_{OUT}D$	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
7	8	6	V_{REFIN}/ V_{REFOUT}	AD5628/AD5648/AD5668有一个用于基准输入和输出的公用引脚。使用内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认用作基准输入。
N/A	9	7	$\overline{\text{CLR}}$	异步清零输入。$\overline{\text{CLR}}$输入对下降沿敏感。当$\overline{\text{CLR}}$为低电平时，所有$\overline{\text{LDAC}}$脉冲都被忽略。当$\overline{\text{CLR}}$有效时，输入寄存器和DAC寄存器更新为$\overline{\text{CLR}}$编码寄存器内的数据：零电平、中间电平或满量程。默认设置是输出清零至0 V。
5	6	4	$V_{OUT}E$	DAC E的模拟输出电压。输出放大器能以轨到轨方式工作。
9	11	9	$V_{OUT}F$	DAC F的模拟输出电压。输出放大器能以轨到轨方式工作。
6	7	5	$V_{OUT}G$	DAC G的模拟输出电压。输出放大器能以轨到轨方式工作。
8	10	8	$V_{OUT}H$	DAC H的模拟输出电压。输出放大器能以轨到轨方式工作。
12	14	12	GND	器件上所有电路的接地基准点。
13	15	13	DIN	串行数据输入。该器件有一个32位移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
14	16	14	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。
		EPAD	EPAD	建议将裸露焊盘焊接到接地层。

典型工作特性

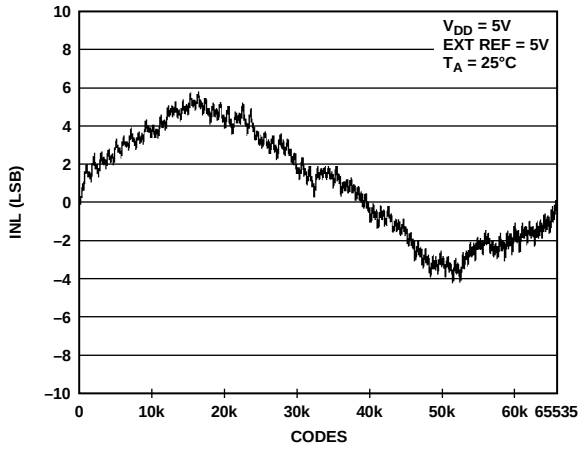


图6. INL AD5668—外部基准电压源

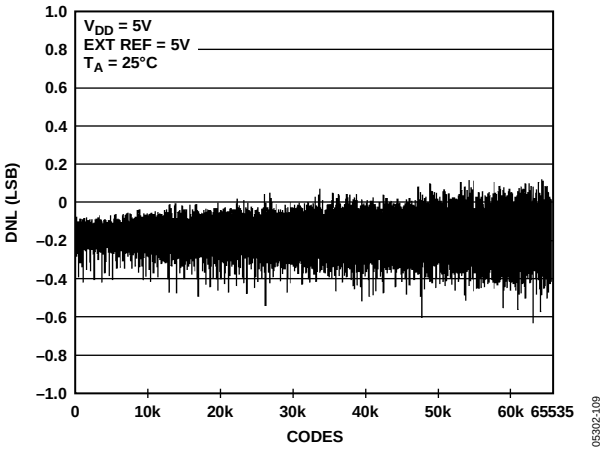


图9. DNL AD5668—外部基准电压源

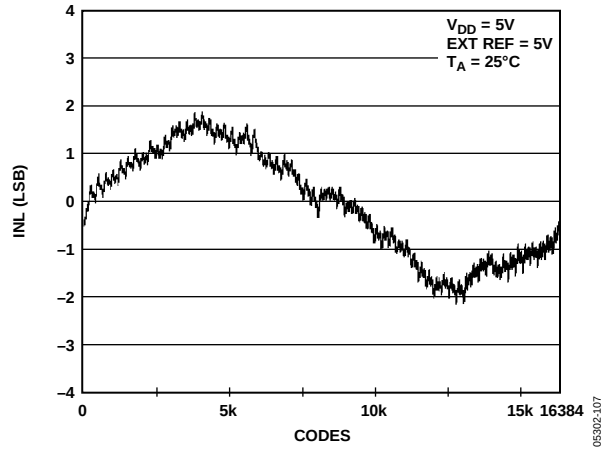


图7. INL AD5648—外部基准电压源

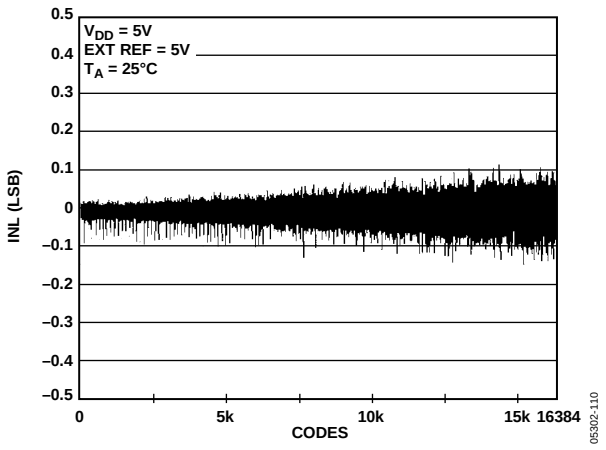


图10. DNL AD5648—外部基准电压源

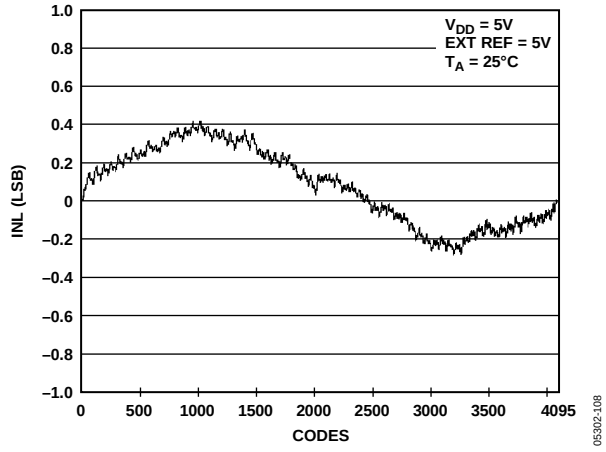


图8. INL AD5628—外部基准电压源

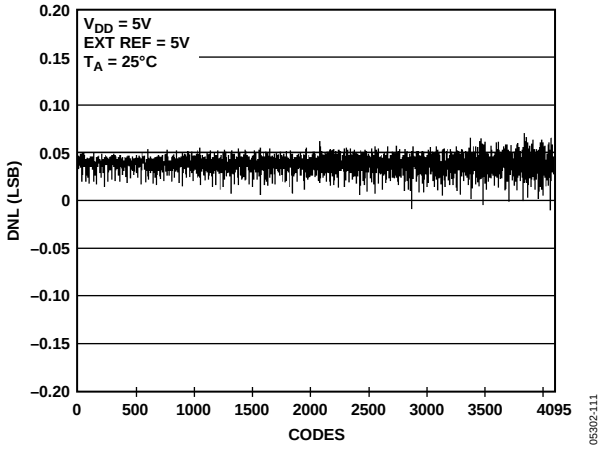


图11. DNL AD5628—外部基准电压源

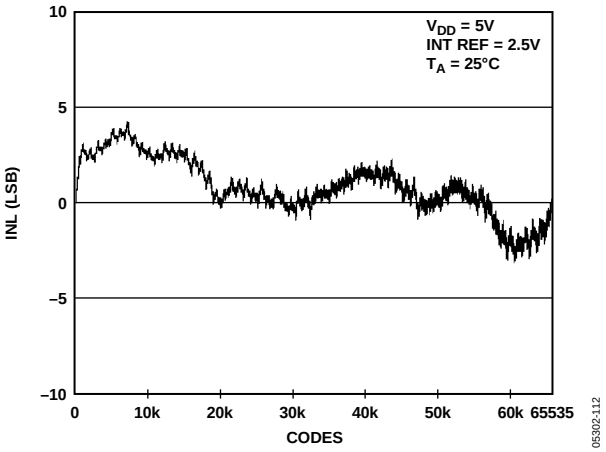


图12. INL AD5668-2/AD5668-3

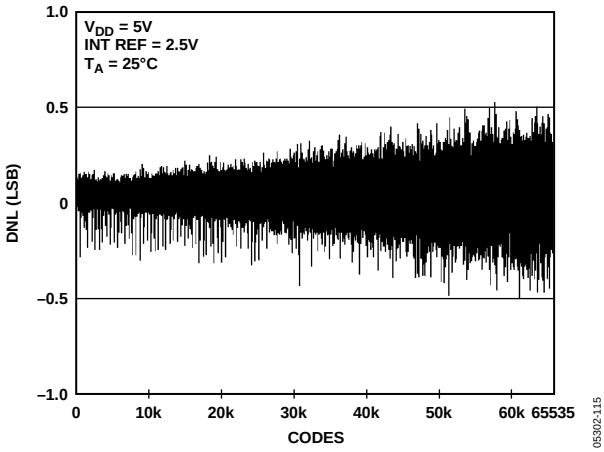


图15. DNL AD5668-2/AD5668-3

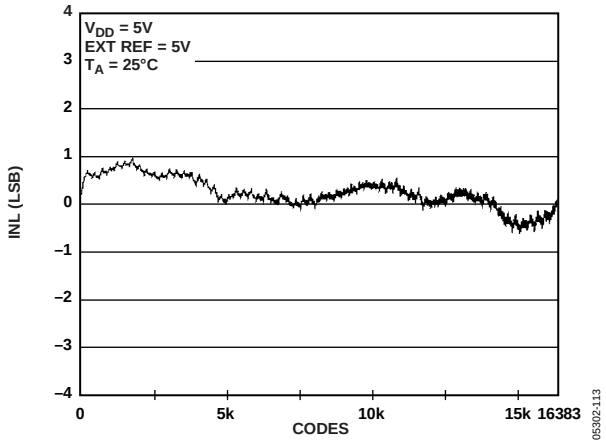


图13. INL AD5648-2

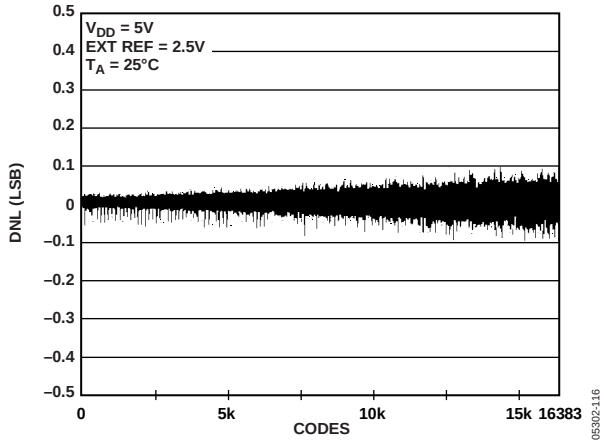


图16. DNL AD5648-2

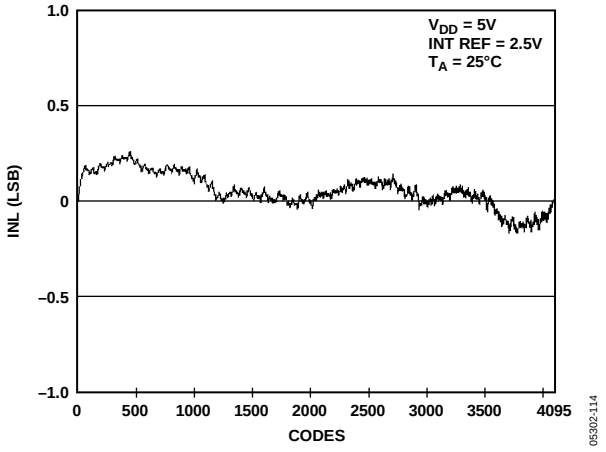


图14. INL AD5628-2

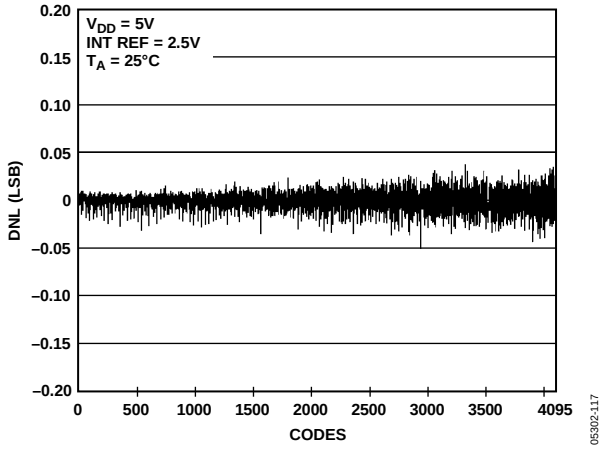


图17. DNL AD5628-2

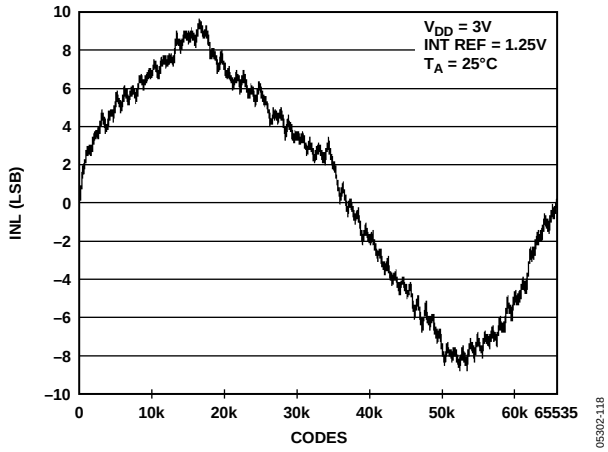


图18. INL AD5668-1

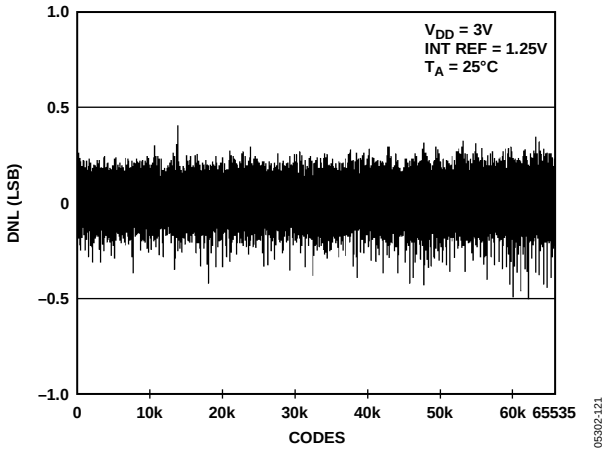


图21. DNL AD5668-1

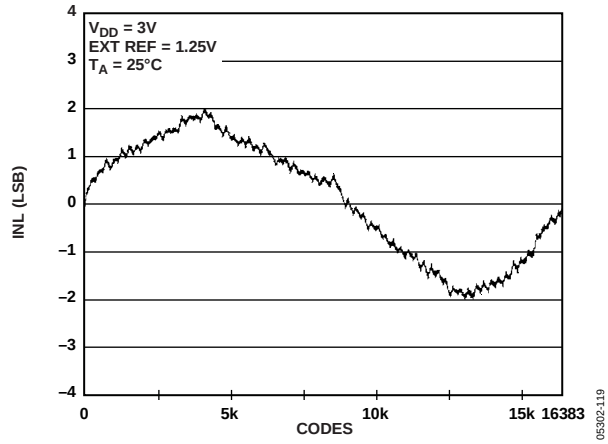


图19. INL AD5648-1

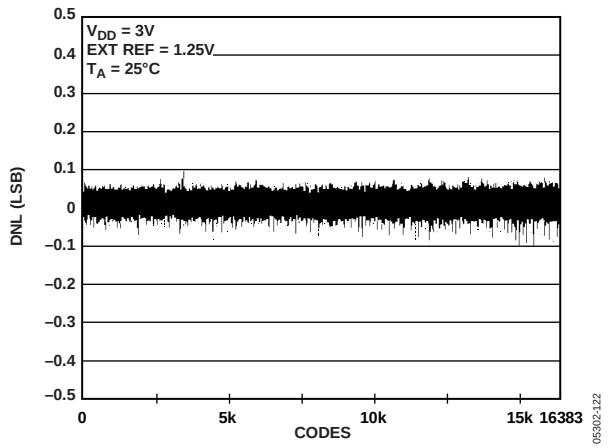


图22. DNL AD5648-1

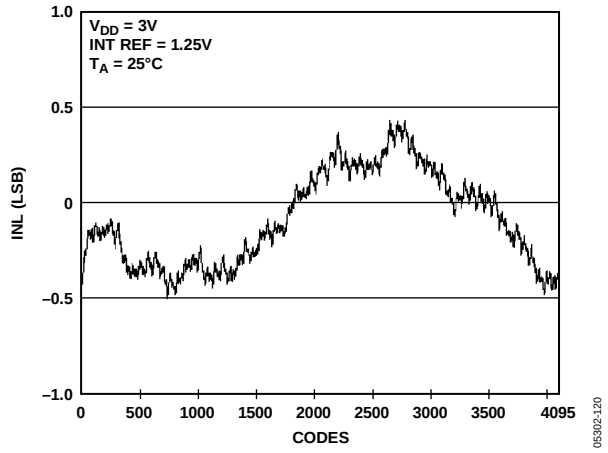


图20. INL AD5628-1

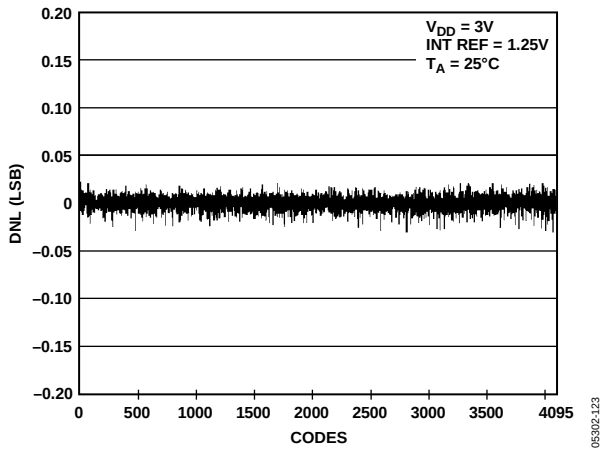


图23. DNL AD5628-1

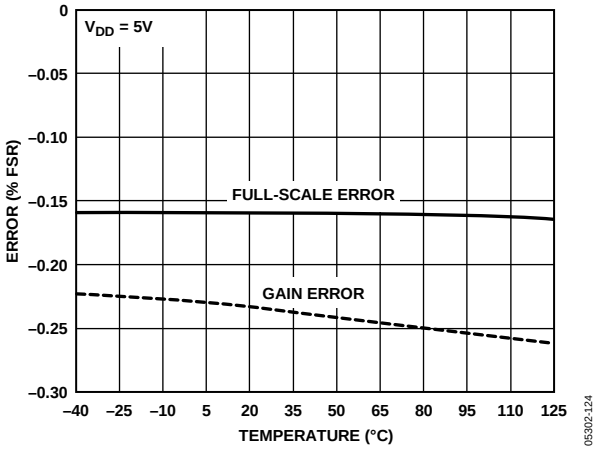


图24. 增益误差和满量程误差与温度的关系

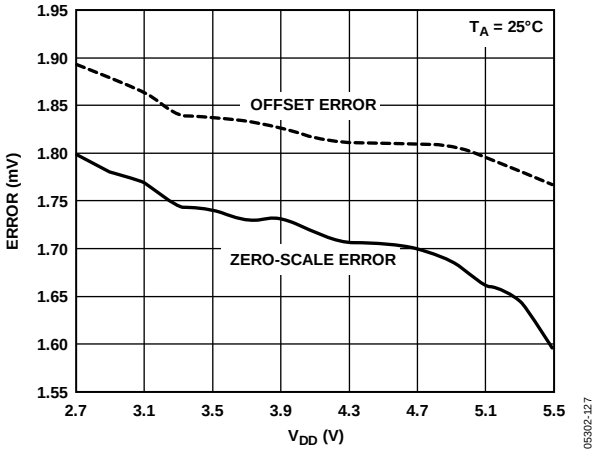


图27. 零电平误差和失调误差与电源电压的关系

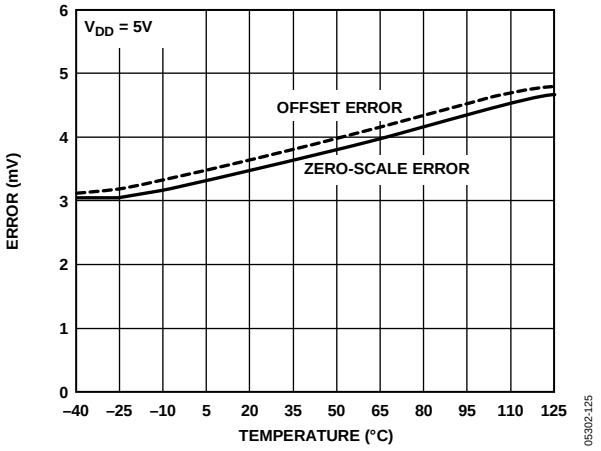


图25. 零电平误差和失调误差与温度的关系

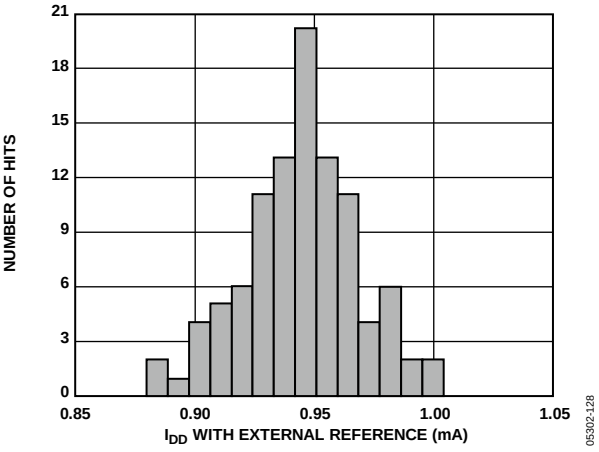


图28. 采用外部基准电压源时的I_{DD}直方图

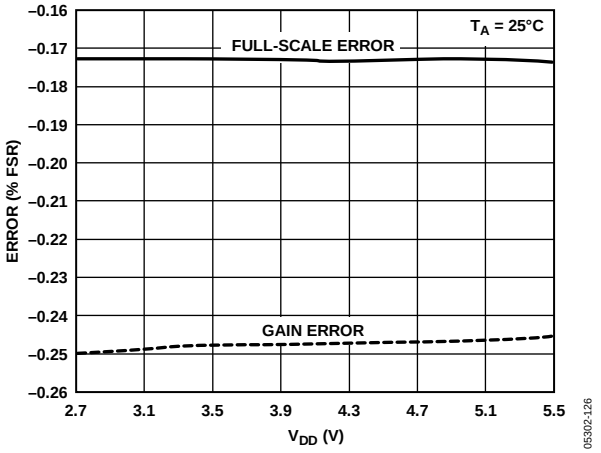


图26. 增益误差和满量程误差与电源电压的关系

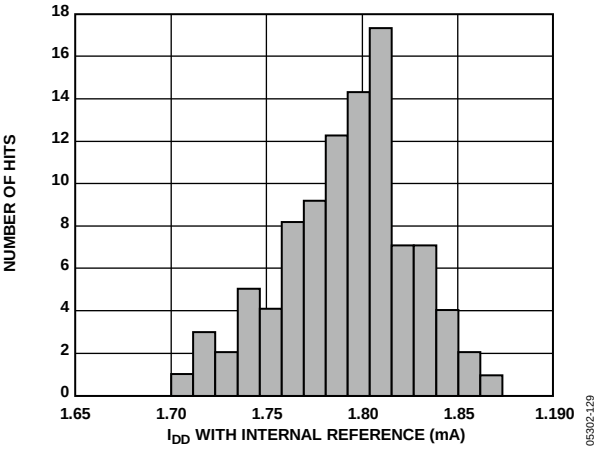


图29. 采用内部基准电压源时的I_{DD}直方图

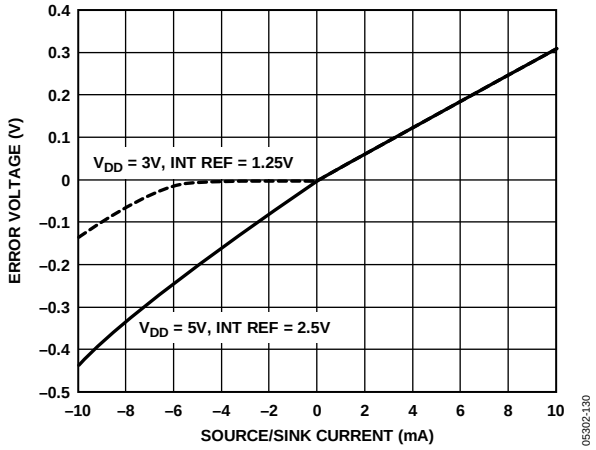


图30. 供电轨裕量与源电流和吸电流的关系

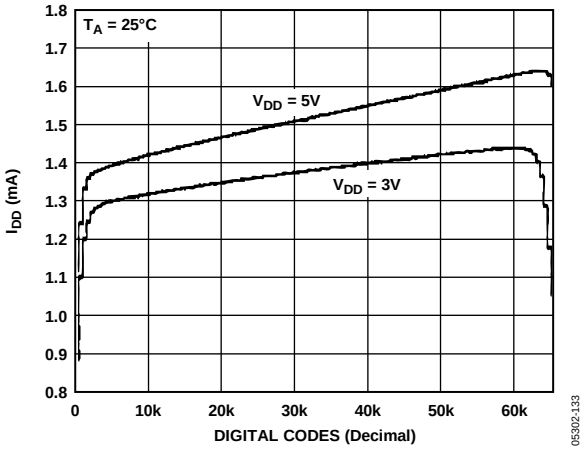


图33. 电源电流与编码的关系

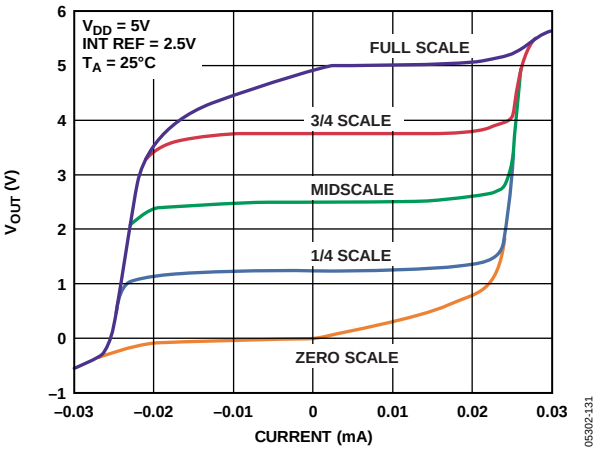


图31. AD5668-2/AD5668-3的源电流和吸电流能力

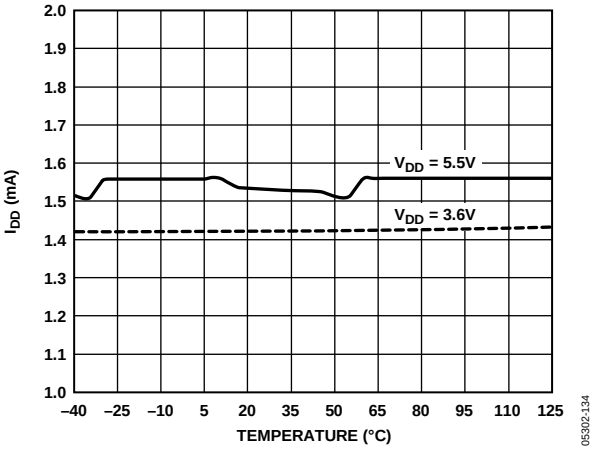


图34. 电源电流与温度的关系

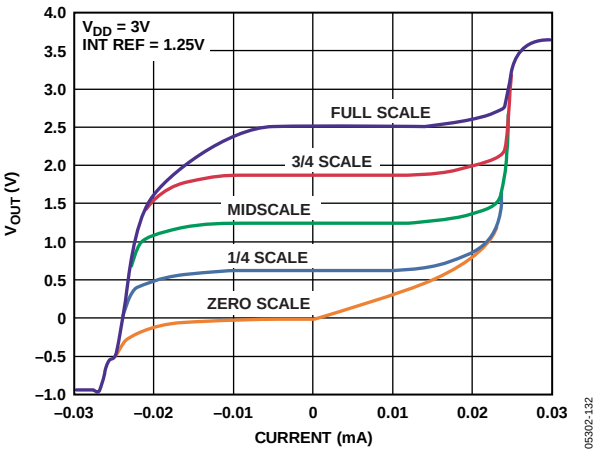


图32. AD5668-1的源电流和吸电流能力

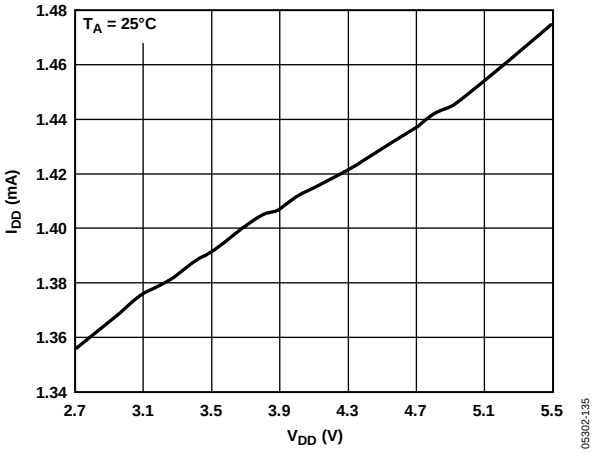


图35. 电源电流与电源电压的关系

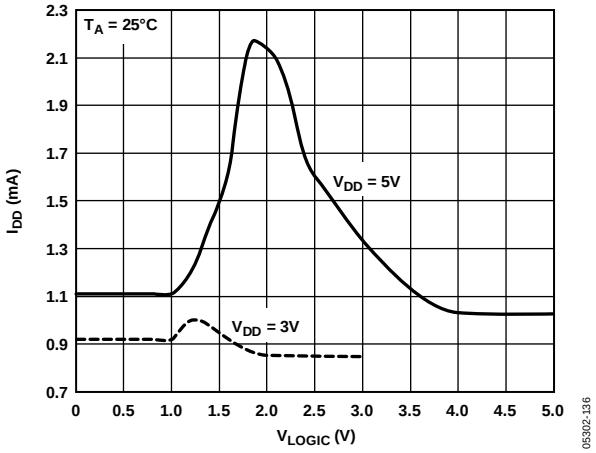


图36. 电源电流与逻辑输入电压的关系

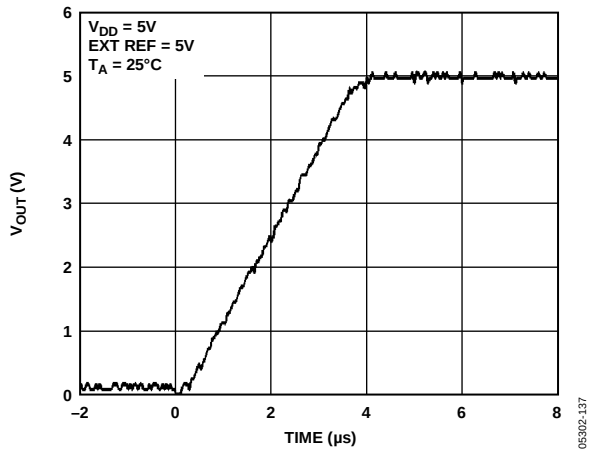


图37. 满量程建立时间(5 V)

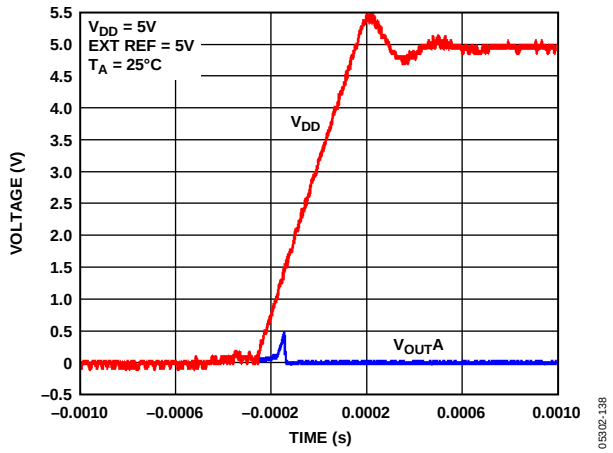


图38. 上电复位至0 V

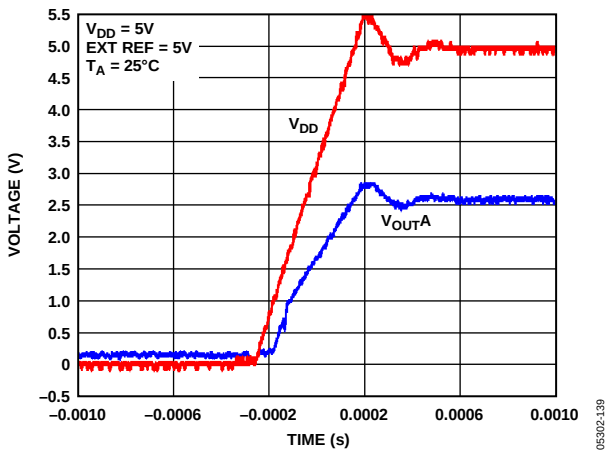


图39. 上电复位至中间电平

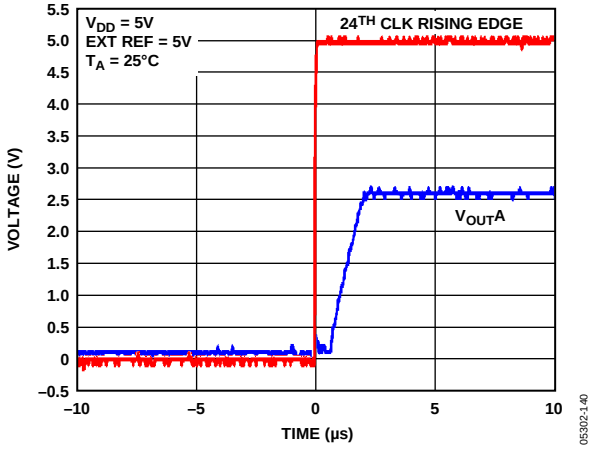


图40. 退出关断模式进入中间电平

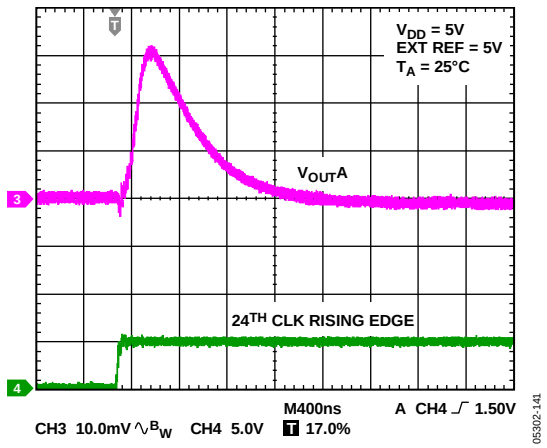


图41. 数模转换毛刺脉冲(负)

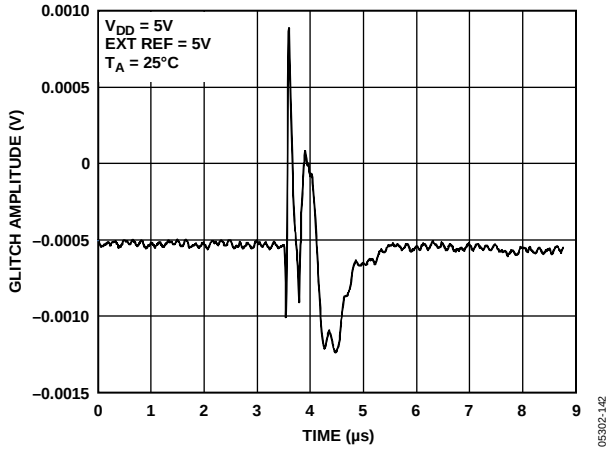


图42. 模拟串扰

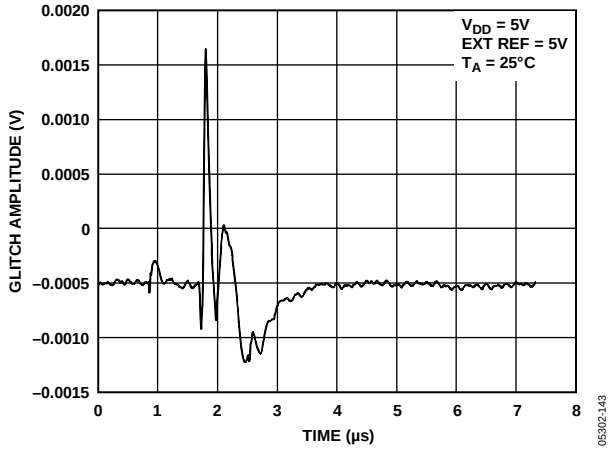


图43. DAC间串扰

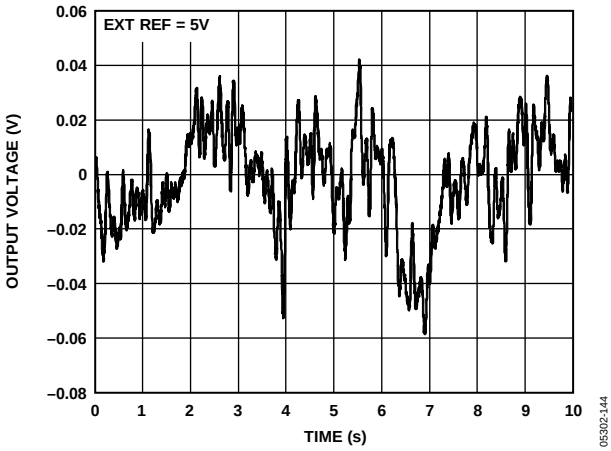


图44. 0.1 Hz至10 Hz输出噪声，外部基准电压源

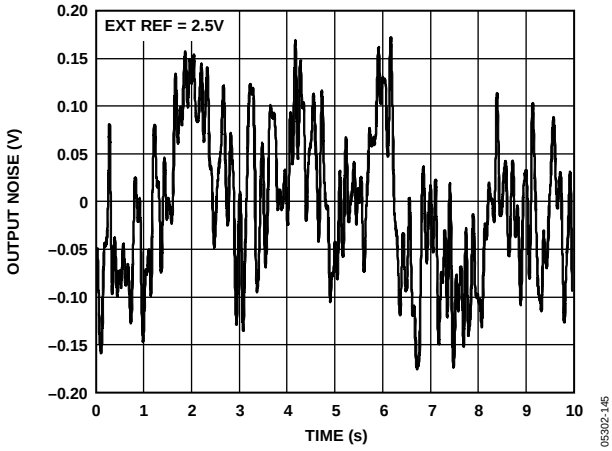


图45. 0.1 Hz至10 Hz输出噪声，外部基准电压源

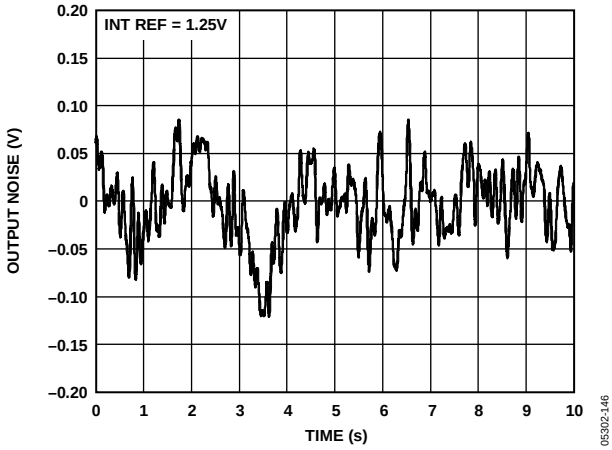


图46. 0.1 Hz至10 Hz输出噪声，内部基准电压源

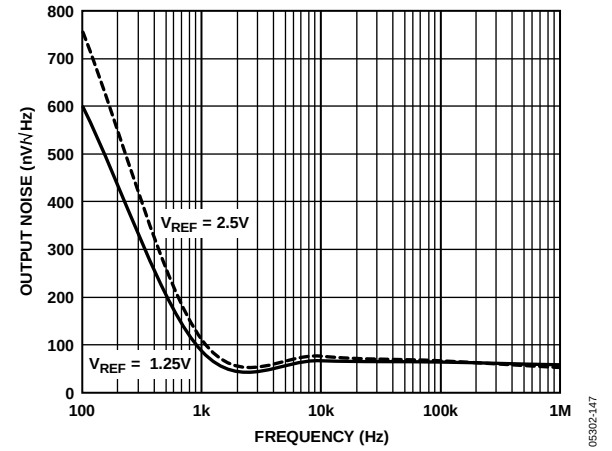


图47. 噪声频谱密度，内部基准电压源

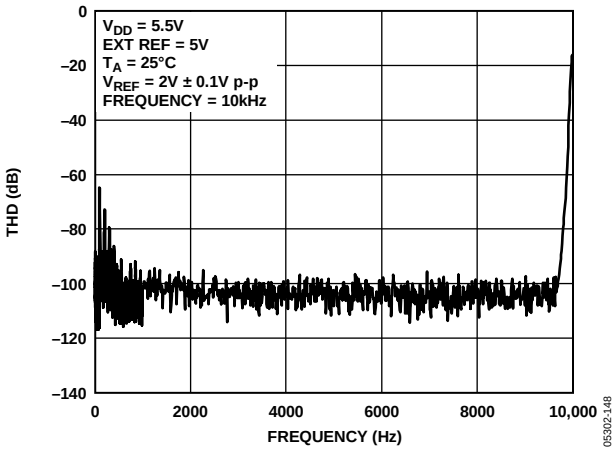


图48．总谐波失真

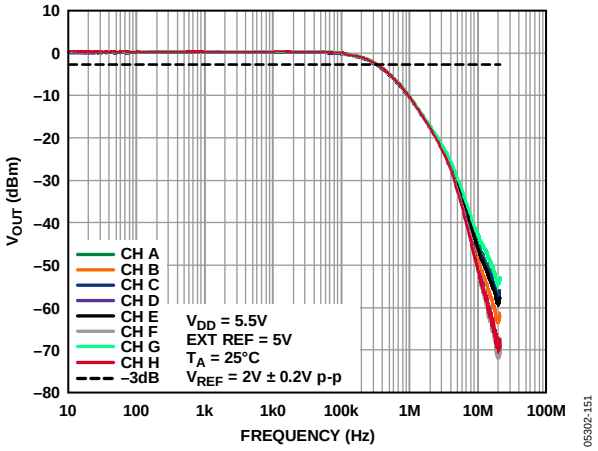


图51. 乘法带宽

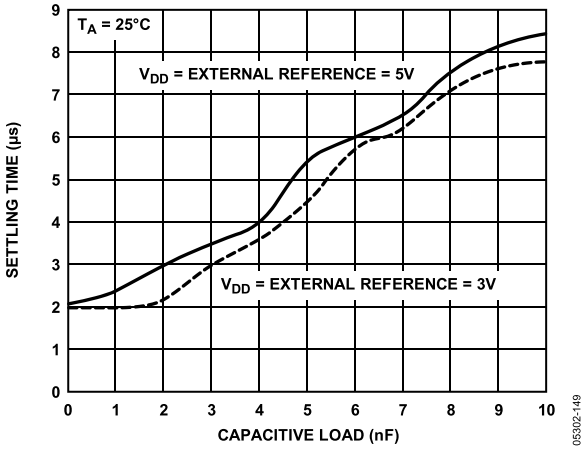


图49．建立时间与容性负载的关系

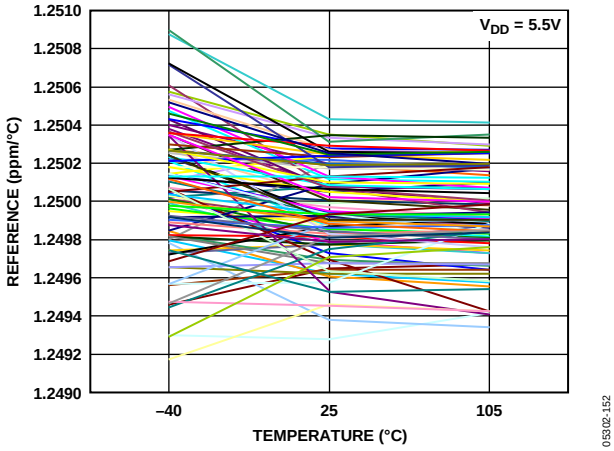


图52. 1.25 V基准电压温度系数与温度的关系

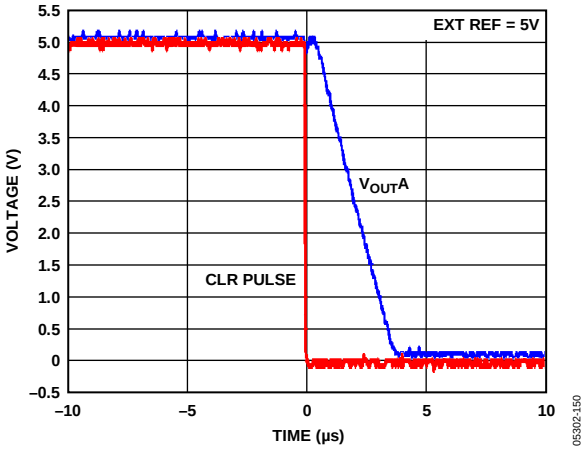


图50. 硬件$\overline{CLR}$

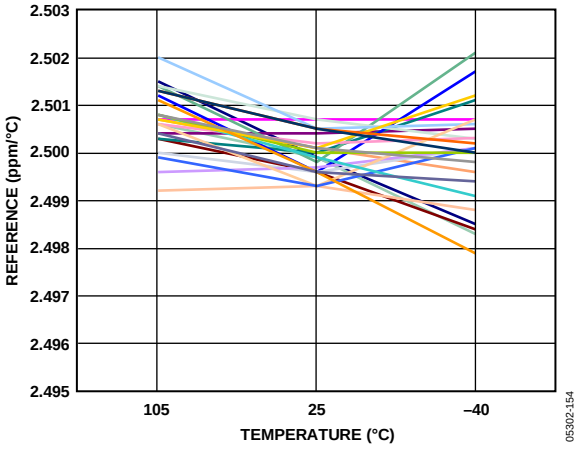


图53. 2.5 V基准电压温度系数与温度的关系

术语

相对精度

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图6至图8、图12至图14和图18至图20所示为典型INL与编码的关系图。

微分非线性

微分非线性(DNL)是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图9至图11、图15至图17和图21至图23所示为典型DNL与编码的关系图。

失调误差

失调误差是指传递函数线性区内实际V_{OUT}和理想V_{OUT}之间的差值，用毫伏(mV)表示。失调误差在AD5668上是通过将编码512载入DAC寄存器测得的。该值可以为正，也可为负，用毫伏(mV)表示。

零编码误差

零编码误差衡量将零编码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在AD5628/AD5648/AD5668中，零编码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零编码误差用mV表示。图27所示为典型零编码误差与温度的关系图。

增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。

零编码误差漂移

零编码误差漂移衡量零编码误差随温度的变化，用μV/°C表示。

增益误差漂移

增益误差漂移衡量增益误差随温度的变化，用(满量程范围的ppm)/°C表示。

满量程误差

满量程误差衡量将满量程编码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为V_{DD} − 1 LSB。满量程误差用满量程范围的百分比表示。图24所示为典型满量程误差与温度的关系图。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-s表示，数字输入编码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。参见图41。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下V_{OUT}变化量与V_{DD}变化量之比，单位为dB。V_{REF}保持在2 V，而V_{DD}的变化范围为±10%。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为uV。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。以mV/mA为单位。

基准馈通

基准馈通是指DAC输出未更新(即$\overline{\text{LDAC}}$为高电平)时的DAC输出端的信号幅度与基准输入之比，单位为dB。

数字馈通

数字馈通衡量从器件的数字输入引脚注入到DAC模拟输出的脉冲，但在未写入DAC($\overline{\text{SYNC}}$保持高电平)时进行测量。数字馈通的单位为nV-s，测量数字输入引脚上发生满量程编码变化时的情况，即全0至全1，或相反。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1，或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-s表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起的毛刺脉冲，其测量方法是向一个DAC的输入寄存器加载满量程编码变化(全0至全1，或相反)，同时$\overline{\text{LDAC}}$保持高电平，然后发送脉冲使$\overline{\text{LDAC}}$变为低电平，并监控数字编码未改变的DAC的输出。毛刺面积用nV-s表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，包括数字和模拟串扰。其测量方法是向一个DAC加载满量程编码变化(全0至全1，或相反)，保持$\overline{\text{LDAC}}$为低电平，同时监控另一个DAC的输出。毛刺的能量用nV-s表示。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

工作原理

数模转换部分

AD5628/AD5648/AD5668 DAC采用CMOS工艺制造，由一串DAC和一个输出缓冲放大器构成。每个器件均内置一个1.25 V/2.5 V、5 ppm/°C基准电压源，其内部增益为2。图54为DAC架构框图。

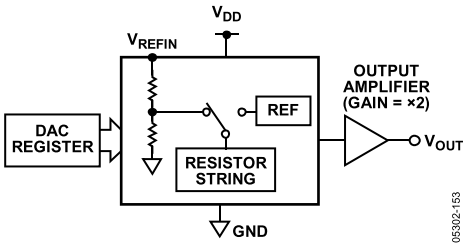


图54. DAC结构

DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

使用内部基准电压源时的理想输出电压为：

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值。

AD5628(12位)：0至4095。

AD5648(14位)：0至16,383。

AD5668(16位)：0至65,535。

N为DAC分辨率。

电阻串

电阻串部分如图55所示。它只是一串电阻，各电阻的值为R。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

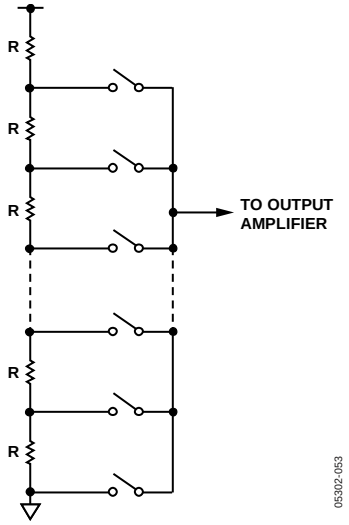


图55. 电阻串

内部基准电压源

AD5628/AD5648/AD5668内置一个片内基准电压源，内部增益为2。AD5628/AD5648/AD5668-1内置一个1.25 V、5 ppm/°C基准电压源，满量程输出可达到2.5 V；AD5628/AD5648/AD5668-2和AD5668-3内置一个2.5 V、5 ppm/°C基准电压源，满量程输出可达到5 V。上电时，片内基准电压源关闭，因而可以使用外部基准电压源。内部基准电压源通过写入控制寄存器启用(参见表7)。

各器件的内部基准电压通过V_{REFOUT}引脚提供。如果利用基准电压输出驱动外部负载，则需要使用缓冲器。使用内部基准电压源时，建议在基准电压输出与GND之间放置一个100 nF电容，使基准电压保持稳定。

使用内部基准电压源时，不支持各通道独立关断。

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至VDD。它能驱动连接至GND的一个2 kΩ负载和200 pF电容的并联。从图31和图32可以看出输出放大器的源电流和吸电流能力。压摆率为1.5 V/μs，¼到¾量程建立时间为7 μs。

串行接口

AD5628/AD5648/AD5668的3线串行接口($\overline{SYNC}$、SCLK和DIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。

写序列通过将$\overline{SYNC}$线置为低电平来启动。来自DIN线的数据在SCLK的下降沿进入32位移位寄存器。串行时钟频率最高可以达到50 MHz，因而AD5628/AD5648/AD5668能与高速DSP兼容。在第32个时钟下降沿，最后一位数据被读入，编程功能执行完毕，DAC寄存器内容和/或工作模式会改变。在这个阶段，$\overline{SYNC}$线可以保持在低电平或置为高电平。在任意一种情况下，必须在下一个写序列之前保持至少15 ns的高电平，这样才能用$\overline{SYNC}$下降沿启动下一个写序列。$\overline{SYNC}$ 在写序列之间空闲时应为低电平，以进一步降低器件功耗。如前所述，在下次写序列前，$\overline{SYNC}$必须被置为高电平。

表7. 命令定义

命令				
C3	C2	C1	C0	描述
0	0	0	0	写入输入寄存器n
0	0	0	1	更新DAC寄存器n
0	0	1	0	写入输入寄存器n，更新全部(软件$\overline{LDAC}$)
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC关断/上电
0	1	0	1	加载清零编码寄存器
0	1	1	0	加载$\overline{LDAC}$寄存器
0	1	1	1	复位(上电复位)
1	0	0	0	设置内部REF寄存器
1	0	0	1	保留
–	–	–	–	保留
1	1	1	1	保留

表8. 地址命令

地址(n)				
A3	A2	A1	A0	选定的DAC通道
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	所有DAC

输入移位寄存器

输入移位寄存器为32位宽。前4位是无关位，后续4位是命令位C3至C0(参见表7)，然后是4位DAC地址A3至A0(参见表8)，最后是16、14、12位数据字。AD5668、AD5648和AD5628的数据字分别包括16、14、12位输入编码和4、6、8个无关位(参见图56至图58)。这些数据位在SCLK的第32个下降沿被送入DAC寄存器。

$\overline{\text{SYNC}}$ 中断

在正常写序列中，$\overline{\text{SYNC}}$线在32个SCLK的下降沿保持为低电平，DAC会在SCLK的第32个下降沿和$\overline{\text{SYNC}}$的上升沿更新。如果在第32个下降沿之前$\overline{\text{SYNC}}$被拉高，写序列就会被中断。移位寄存器会复位，写序列被认为是无效的。不会造成DAC寄存器内容的更新和工作模式的改变(参见图59)。

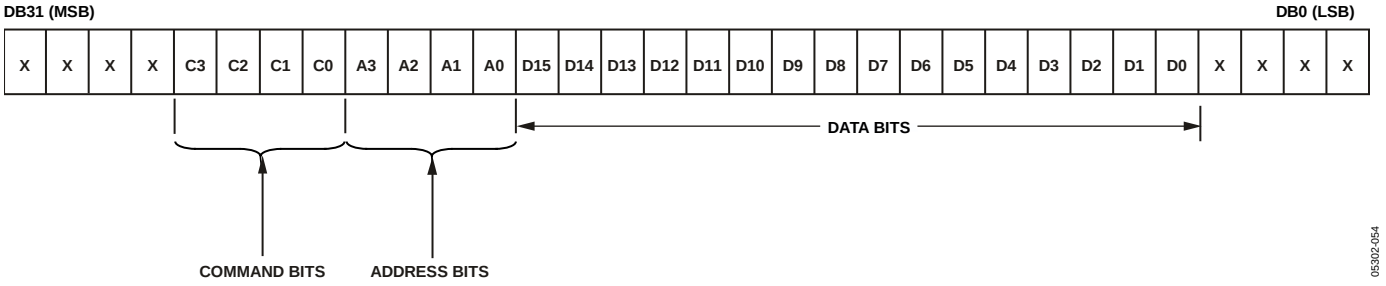


图56. AD5668输入寄存器内容

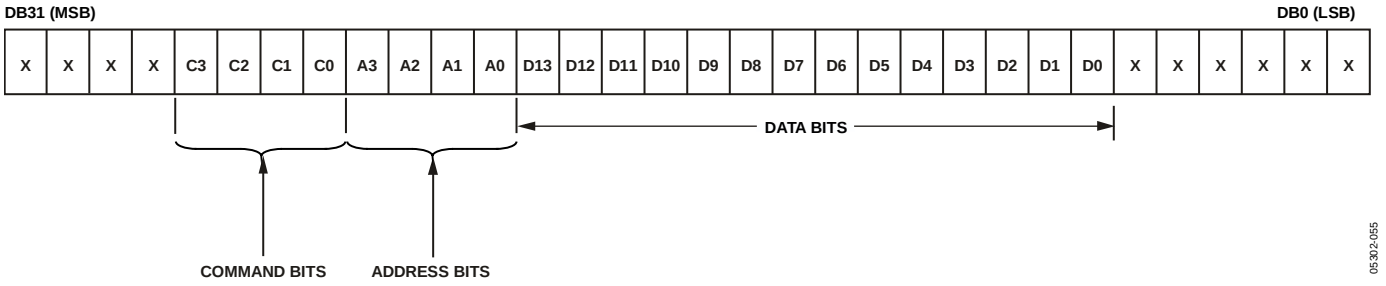


图57. AD5648输入寄存器内容

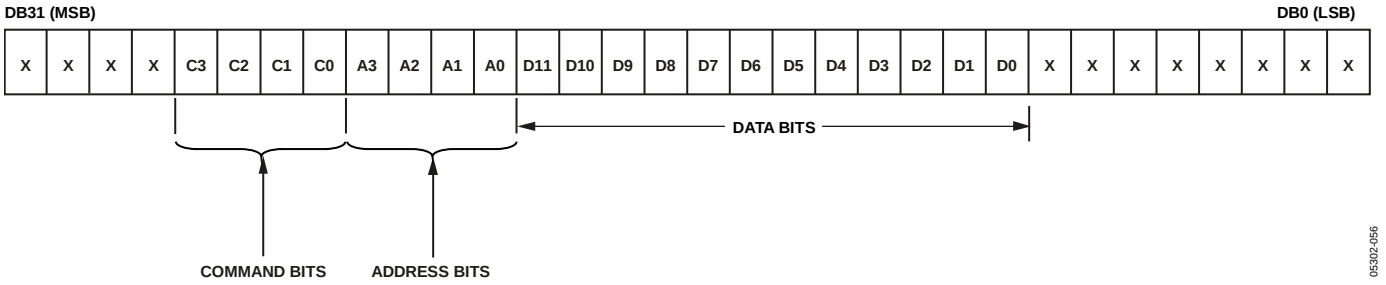


图58. AD5628输入寄存器内容

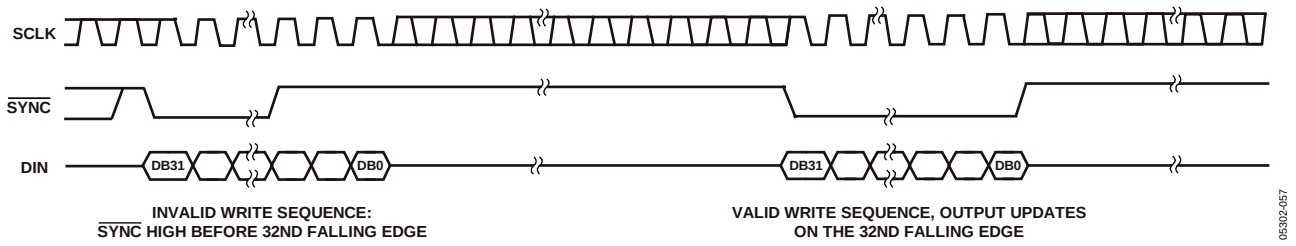


图59. $\overline{\text{SYNC}}$中断设置

内部基准电压源寄存器

片内基准电压源在上电时默认关闭。如果应用要求，可以使用外部基准电压源。将用户可编程的内部REF寄存器的位DB0设为高电平或低电平，可以开启或关闭片内基准电压源(参见表9)。命令1000用于内部REF寄存器的设置(参见表7)。表11列出了输入移位寄存器中各位的状态与器件工作模式的对应关系。

上电复位

AD5628/AD5648/AD5668系列具有上电复位电路可以在上电时控制输出电压。AD5628/AD5648/AD5668-1、-2 DAC在上电后输出0 V，AD5668-3 DAC在上电后输出中间电平。输出一直保持该电平，直到对DAC执行有效的写序列，这对于在上电过程中需要了解DAC输出状态的应用来说很重要。还有一个软件可执行的复位功能，它可将DAC复位至上电复位编码。命令0111用于该复位功能(参见表7)。上电复位期间，$\overline{\text{LDAC}}$或$\overline{\text{CLR}}$上的所有事件都会被忽略。

关断模式

AD5628/AD5648/AD5668具有四种独立的工作模式。命令0100用于关断功能(参见表7)。这些模式可通过软件编程，设置控制寄存器中的两位(DB9和DB8)进行选择。

表11列出了这些位的状态与器件工作模式的对应关系。将相应的8位(DB7至DB0)设为1，任意或所有DAC(DAC H至DAC A)都可以关断到选定的模式。表12列出了关断/上电期间输入移位寄存器的内容。使用内部基准电压源时，仅支持所有通道关断到选定的模式。

当两位均设为0时，器件正常工作，5V时正常模式功耗为1.3 mA。在三种关断模式下，5V时电源电流降至0.4 μA(3V时为0.2 μA)。不仅是供电电流下降，输出级也从放大器输出切换为已知值的电阻网络，这是有好处的，因为在关断模式下器件的输出阻抗是已知的。有三种不同的选项：输出通过1 kΩ电阻或100 kΩ电阻内部连接到GND，或者保持开路状态(三态)。图60显示了此输出级。

在关断模式有效时，选定DAC的偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关闭。内部基准电压源仅在所有通道均关断时才关断。然而，关断期间DAC寄存器的内容不受影响。对于V_{DD} = 5 V和V_{DD} = 3 V，退出关断模式所需时间通常为4 μs。请参见图40。

将PD1和PD0设为0(正常工作)，可以使任意DAC组合上电。上电后，输出为输入寄存器中的值($\overline{\text{LDAC}}$为低电平)，或者输出为关断前DAC寄存器中的值($\overline{\text{LDAC}}$为高电平)。

清零编码寄存器

AD5628/AD5648/AD5668具有一个硬件异步清零输入引脚$\overline{\text{CLR}}$。$\overline{\text{CLR}}$输入对下降沿敏感。通过将$\overline{\text{CLR}}$线置为低电平，可以将输入寄存器和DAC寄存器的内容清零至用户可配置的$\overline{\text{CLR}}$寄存器中的数据，并相应地设置模拟输出。此功能在系统校准中可用于将零电平、中间电平或满量程同时载入所有通道。通过设置$\overline{\text{CLR}}$控制寄存器中的两位DB1和DB0，用户可以对这些清零编码值进行编程(参见表13)。默认设置是输出清零至0 V。命令0101用于加载清零编码寄存器(参见表7)。

器件在下一次写操作的第32个下降沿退出清零编码模式。如果$\overline{\text{CLR}}$在写序列期间有效，写操作将被中止。

$\overline{\text{CLR}}$脉冲有效时间($\overline{\text{CLR}}$的下降沿到输出开始改变时)通常为280 ns。然而，如果在DAC的线性区域以外，则执行$\overline{\text{CLR}}$后通常需要520 ns输出才开始改变(参见图50)。

表14列出了加载清零编码寄存器操作期间输入移位寄存器的内容。

表9. 内部基准电压寄存器

内部REF寄存器(DB0)	操作
0	基准电压源关闭(默认)
1	基准电压源开启

表10. 基准电压源设置命令的32位输入移位寄存器内容

MSB LSB

DB31 至 DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 to DB1	DB0
X	1	0	0	0	X	X	X	X	X	1/0
无关位	命令位(C3至C0)				地址位(A3至A0) 无关位				无关位	内部REF寄存器

表11. 关断工作模式

DB9	DB8	工作模式
0	0	正常工作 关断模式
0	1	1 kΩ接GND
1	0	100 kΩ接GND
1	1	三态

表12. 关断/上电功能的32位输入移位寄存器内容

MSB LSB

DB31 至 DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 至 DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	0	1	0	0	X	X	X	X	X	PD1	PD0	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
无关位	命令位(C3至C0)				地址位(A3至A0)无关位				无关位	关断模式		关断/上电通道选择，相应的位设为1可选择通道							

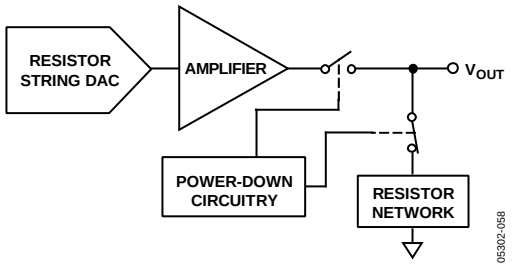


图60. 关断模式下的输出级

表13. 清零编码寄存器

清零编码寄存器		
DB1	DB0	
CR1	CR0	清零编码
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	无操作

表14. 清零编码功能的32位输入移位寄存器内容

MSB LSB

DB31至 DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 至 DB2	DB1	DB0
X	0	1	0	1	X	X	X	X	X	CR1	CR0
无关位	命令位(C3至C0)				地址位(A3至A0)无关位				无关位	清零编码寄存器	

LDAC 功能

利用硬件LDAC引脚可以同时更新所有DAC的输出。

同步LDAC：读入新数据后，DAC寄存器在第32个SCLK脉冲的下降沿更新。LDAC 可以永久接为低电平，或者为脉冲形式，如图2所示。

异步LDAC：输出不在写入输入寄存器的同时更新。当LDAC变为低电平时，DAC寄存器更新为输入寄存器的内容。

或者，利用软件LDAC功能，写入输入寄存器n并更新所有DAC寄存器，也可以同时更新所有DAC的输出。命令0011用于该软件LDAC功能。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚。该寄存器允许用户选择在执行硬件LDAC引脚时同时更新哪些通道。如果将LDAC位寄存器中的某一DAC通道设为0，则意味着该通道的更新受LDAC引脚的控制。如果该位设为1，则该通道同步更新，即DAC寄存器在读入新数据后更新，与LDAC引脚的状态无关，此时LDAC引脚被视为接低电平。(有关LDAC寄存器的工作模式，请参见表15。)在用户希望同时更新选定的通道，而其余通道同步更新的应用中，这种灵活性十分有用。

使用命令0110写入DAC将加载8位LDAC寄存器(DB7至DB0)。各通道的默认值为0，即LDAC引脚正常工作。如果将某一位设为1，则意味着无论LDAC引脚的状态如何，对应的DAC通道都会更新。表16列出了加载LDAC寄存器工作模式期间输入移位寄存器的内容。

电源旁路和接地

在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。AD5628/AD5648/AD5668所在的印刷电路板应将模拟部分与数字部分分离。如果AD5628/AD5648/AD5668所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上进行连接。该接地点应尽可能靠近AD5628/AD5648/AD5668。

AD5628/AD5648/AD5668的电源应使用10 μF和0.1 μF电容进行旁路。这些电容应尽可能靠近该器件，0.1 μF电容最好正对着该器件。10 μF电容应为钽珠型电容。0.1 μF电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，普通陶瓷型电容通常具有这些特性。针对内部逻辑开关引起的瞬态电流所导致的高频干扰，该0.1 μF电容可提供低阻抗接地路径。

电源走线应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速开关的数字信号应通过数字地将其与电路板上的其它部分屏蔽开。尽可能避免数字信号与模拟信号交叠。当电路板相反两侧的走线相交时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

表15. LDAC寄存器

加载DAC寄存器		
LDAC 位(DB7至DB0)	LDAC 引脚	LDAC 操作
0	1/0	由LDAC引脚决定。
1	X—无关位	DAC通道更新，覆盖LDAC引脚。DAC通道视LDAC为0。

表16. LDAC寄存器功能的32位输入移位寄存器内容

MSB LSB

DB31至DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	0	1	1	0	X	X	X	X	X	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
无关位	命令位(C3至C0)				地址位(A3至A0) 无关位				无关位	LDAC位设为1将覆盖LDAC引脚							

外形尺寸

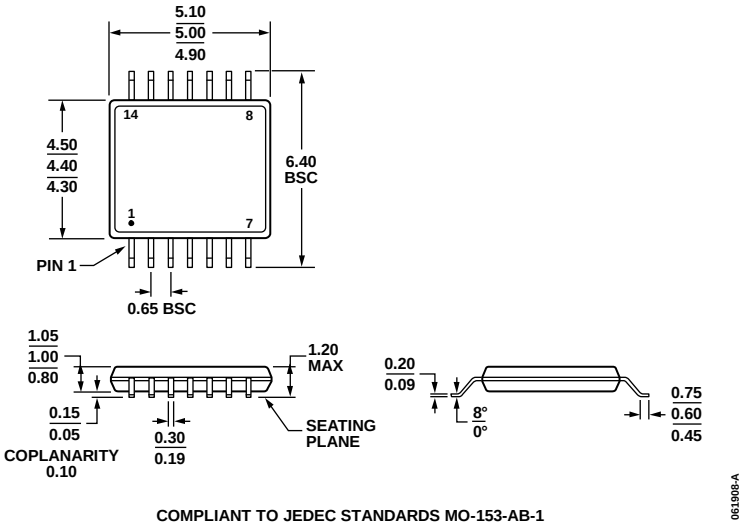


图61. 14引脚超薄紧缩小型封装[TSSOP]
(RU-14)
图示尺寸单位：mm

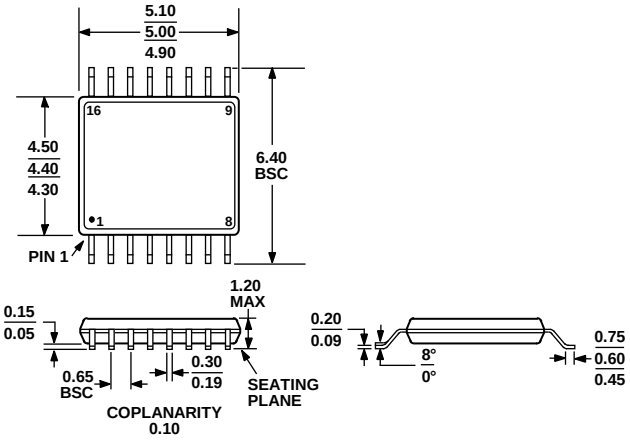
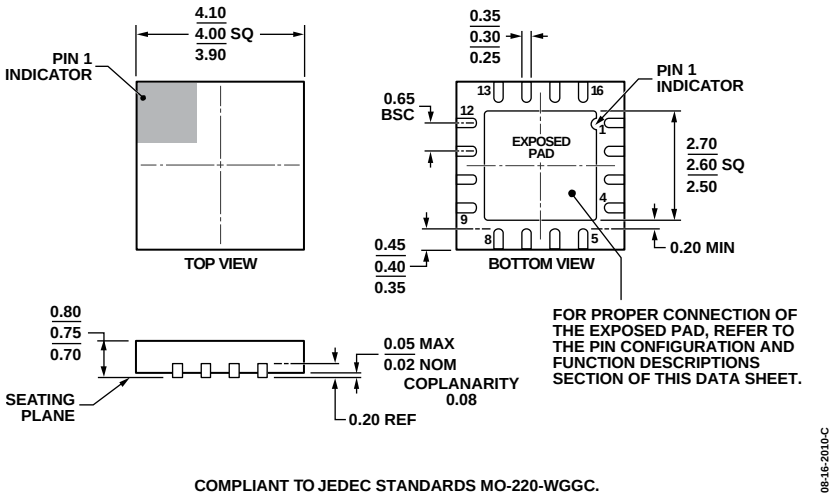


图62. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)
图示尺寸单位：mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

图63. 16引脚引脚架构芯片级封装[LFCSP_WQ]
4 mm x 4 mm，超薄体
(CP-16-17)
图示尺寸单位：mm

订购指南

型号[1]	温度范围	封装描述	封装选项	上电复位至编码	精度	内部基准电压源
AD5628BRUZ-1	−40°C至+105°C	14引脚TSSOP	RU-14	零电平	±1 LSB INL	1.25 V
AD5628BRUZ-1REEL7	−40°C至+105°C	14引脚TSSOP	RU-14	零电平	±1 LSB INL	1.25 V
AD5628BRUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±1 LSB INL	2.5 V
AD5628BRUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±1 LSB INL	2.5 V
AD5628ARUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±2 LSB INL	2.5 V
AD5628ARUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±2 LSB INL	2.5 V
AD5628ACPZ-1-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±2 LSB INL	1.25 V
AD5628ACPZ-2-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±2 LSB INL	2.5 V
AD5628BCPZ-2-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±1 LSB INL	2.5 V
AD5648BRUZ-1	−40°C至+105°C	14引脚TSSOP	RU-14	零电平	±4 LSB INL	1.25 V
AD5648BRUZ-1REEL7	−40°C至+105°C	14引脚TSSOP	RU-14	零电平	±4 LSB INL	1.25 V
AD5648BRUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±4 LSB INL	2.5 V
AD5648BRUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±4 LSB INL	2.5 V
AD5648ARUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±8 LSB INL	2.5 V
AD5648ARUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±8 LSB INL	2.5 V
AD5668BRUZ-1	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±16 LSB INL	1.25 V
AD5668BRUZ-1REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±16 LSB INL	1.25 V
AD5668BRUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±16 LSB INL	2.5 V
AD5668BRUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±16 LSB INL	2.5 V
AD5668BRUZ-3	−40°C至+105°C	16引脚TSSOP	RU-16	中间电平	±16 LSB INL	2.5 V
AD5668BRUZ-3REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	中间电平	±16 LSB INL	2.5 V
AD5668ARUZ-2	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±32 LSB INL	2.5 V
AD5668ARUZ-2REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	零电平	±32 LSB INL	2.5 V
AD5668ARUZ-3	−40°C至+105°C	16引脚TSSOP	RU-16	中间电平	±32 LSB INL	2.5 V
AD5668ARUZ-3REEL7	−40°C至+105°C	16引脚TSSOP	RU-16	中间电平	±32 LSB INL	2.5 V
AD5668BCPZ-1-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	1.25 V
AD5668BCPZ-1500RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	1.25 V
AD5668BCPZ-2-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	2.5 V
AD5668BCPZ-2500RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±16 LSB INL	2.5 V
AD5668ACPZ-2-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	零电平	±32 LSB INL	2.5 V
AD5668ACPZ-3-RL7	−40°C至+105°C	16引脚LFCSP_WQ	CP-16-17	中间电平	±32 LSB INL	2.5 V
EVAL-AD5668EBCZ		LFCSP评估板				
EVAL-AD5668EBRZ		TSSOP评估板				

[1] Z = 符合RoHS标准的器件。

©2005–2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D05302sc-0-8/11(E)